



EP0575051

Biblio

Desc

Claims

Page 1

Drawing

esp@cenet

Stacked multi-chip modules and method of manufacturing.

Patent Number: ☐ EP0575051, B1

Publication date: 1993-12-22

Inventor(s): LIN PENG-CHENG (US); NGUYEN LUU T (US); TAKIAR HEM P (US)

Applicant(s): NAT SEMICONDUCTOR CORP (US)

Requested Patent: ☒ JP6037250

Application Number: EP19930303792 19930517

Priority Number(s): US19920887774 19920522

IPC Classification: H01L25/065; H01L23/495

EC Classification: H01L23/495L, H01L23/495C8

Equivalents: DE69325749D, DE69325749T, ☐ US5422435

Abstract

A circuit assembly (20) which includes a semiconductor die (22) having substantially parallel opposing first (30) and second surfaces (28) and at least one electrical contact (32) mounted on the first surface (30). A first element (24) having substantially parallel opposing first (36) and second surfaces (34) and at least one electrical contact (38) mounted on one of its surfaces is mounted on and at least partially supported at its second surface (34) by the first surface (30) of the semiconductor die (22). The first element (24) is positioned such that the semiconductor die electrical contact (32) is exposed. A fine wire conductor (52) having first and second ends is connected at its first end to either the semiconductor die electrical contact (32) or the first element (24) electrical contact (38). The first element (24) can be an interconnect media or a semiconductor die, which is partially supported by the semiconductor die (22). The first element (24) can have holes (222,224) to expose at least one of the electrical contacts (236) of the semiconductor die (212).



Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-37250

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数50(全 16 頁)

(21)出願番号 特願平5-121016

(22)出願日 平成5年(1993)5月24日

(31)優先権主張番号 8 7 8 7 7 4

(32)優先日 1992年5月22日

(33)優先権主張国 米国 (U S)

(71)出願人 591013469

ナショナル セミコンダクタ コーポレイ
ション

NATIONAL SEMICONDUCTOR CORPORATION

アメリカ合衆国, カリフォルニア 95052,
サンタ クララ, セミコンダクタ ドライ
ブ 2900

(72)発明者 ヘム・ビー・タキアー

アメリカ合衆国カリフォルニア州94539フ
レモント, カンザス・ウェイ・455

(74)代理人 弁理士 古谷 馨 (外2名)

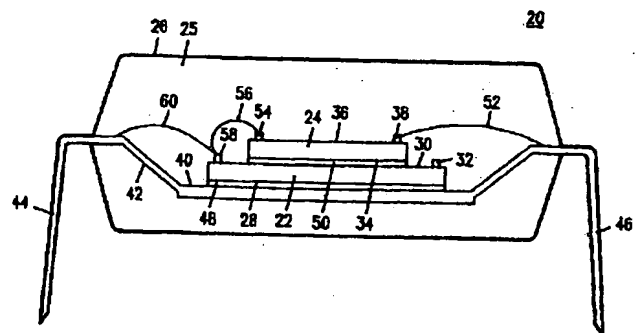
最終頁に続く

(54)【発明の名称】 積層マルチチップモジュール及び製造方法

(57)【要約】

【構成】 実質的に平行に向かい合った第一及び第二の表面 (30, 28) と、第一の表面 (30) 上に設けられた少なくとも一つの電気接点 (32) を有する半導体チップ (22) を含むマルチチップモジュール (20) である。実施的に平行に向かい合った第一及び第二の表面 (36, 34) と、これらの表面の一方に設けられた少なくとも一つの電気接点 (38) を有する第一の素子 (24) がその他方の表面において、半導体チップの第一の表面により少なくとも部分的に支持されて設けられる。第一の素子は、半導体チップの電気接点が露出されるように配置される。第一及び第二の端部を有する細い導線が、その第一の端部が半導体チップの電気接点又は第一の素子の電気接点の何れかに対して接続される。このマルチチップモジュールの製造方法もまた開示される。

【効果】 積層形態により得られ、積層体中の素子が同一でなくともよく、且つワイヤボンディングを用いて容易に結線することのできるマルチチップモジュールが提供される。



【特許請求の範囲】

【請求項 1】 実質的に平行に向かい合った第一及び第二の表面と、前記第一の表面に配置された少なくとも一つの電気接点を有する半導体チップと、

実質的に平行に向かい合った第一及び第二の表面と、これらの表面の一方に配置された少なくとも一つの電気接点を有し、その他方の表面において前記半導体チップの第一の表面により少なくとも部分的に支持されて設けられ、前記半導体チップの電気接点が露出されるよう配置された第一の素子と、

第一及び第二の端部を有し、該第一の端部が前記半導体チップの電気接点に接続されている細い導線からなる、回路アセンブリ。

【請求項 2】 前記第一の素子の前記電気接点が前記第一の素子の前記一方の表面に配置され、前記細い導線の第二の端部が前記第一の素子の電気接点に接続されている、請求項 1 の回路アセンブリ。

【請求項 3】 主取付表面及び複数の電気リードを有するキャリア部材をさらに含み、前記半導体チップがその第二の表面において前記主取付表面により少なくとも部分的に支持されて設けられている、請求項 1 の回路アセンブリ。

【請求項 4】 前記細い導線の前記第二の端部が前記複数の電気リードの一つに接続されている、請求項 3 の回路アセンブリ。

【請求項 5】 前記第一の素子は前記第一の表面から前記第二の表面へと貫通して延びる孔を有して前記半導体チップの電気接点を露出し、前記細い導線が前記孔を通して延びる、請求項 1 の回路アセンブリ。

【請求項 6】 前記半導体チップと前記第一の素子の間に配置された接着材料をさらに含む、請求項 1 の回路アセンブリ。

【請求項 7】 前記主取付表面と前記半導体チップの間に配置された接着材料をさらに含む、請求項 3 の回路アセンブリ。

【請求項 8】 前記第一の素子が半導体チップからなる、請求項 1 の回路アセンブリ。

【請求項 9】 前記第一の素子が基板相互接続媒体からなる、請求項 1 の回路アセンブリ。

【請求項 10】 前記キャリア部材がリードフレームからなり、前記主取付表面がダイ装着パッドからなる、請求項 3 の回路アセンブリ。

【請求項 11】 実質的に平行に向かい合った第一及び第二の表面と、これらの表面の一方に配置された少なくとも一つの電気接点を有し、その他方の表面において前記第一の素子の第一の表面により少なくとも部分的に支持されて設けられた第二の素子をさらに含む、請求項 1 の回路アセンブリ。

【請求項 12】 実質的に平行に向かい合った第一及び第二の表面を有し、前記主取付表面に設けられ、前記主

取付表面と前記半導体チップの間に配置された第三の素子をさらに含む、請求項 3 の回路アセンブリ。

【請求項 13】 実質的に平行に向かい合った第一及び第二の表面と、前記第一の表面に配置された少なくとも一つの電気接点を有する半導体チップと、

実質的に平行に向かい合った第一及び第二の表面と、その第一の表面に配置された少なくとも一つの電気接点を有し、その第二の表面において前記半導体チップの第一の表面により少なくとも部分的に支持されて設けられ、前記半導体チップの電気接点が露出されるよう配置された第一の素子と、

第一及び第二の端部を有し、該第一の端部が前記第一の素子の電気接点に接続されている細い導線からなる、回路アセンブリ。

【請求項 14】 前記細い導線の前記第二の端部が前記半導体チップの電気接点に接続されている、請求項 13 の回路アセンブリ。

【請求項 15】 主取付表面と複数の電気リードを有するキャリア部材をさらに含み、前記半導体チップがその第二の表面において前記主取付表面により少なくとも部分的に支持されて設けられている、請求項 13 の回路アセンブリ。

【請求項 16】 前記細い導線の前記第二の端部が前記複数の電気リードの一つに接続されている、請求項 15 の回路アセンブリ。

【請求項 17】 前記第一の素子は前記第一の表面から前記第二の表面へと貫通して延びる孔を有して前記半導体チップの電気接点を露出する、請求項 13 の回路アセンブリ。

【請求項 18】 前記半導体チップと前記第一の素子の間に配置された接着材料をさらに含む、請求項 13 の回路アセンブリ。

【請求項 19】 前記主取付表面と前記半導体チップの間に配置された接着材料をさらに含む、請求項 15 の回路アセンブリ。

【請求項 20】 前記第一の素子が半導体チップからなる、請求項 13 の回路アセンブリ。

【請求項 21】 前記第一の素子が基板相互接続媒体からなる、請求項 13 の回路アセンブリ。

【請求項 22】 前記キャリア部材がリードフレームからなり、前記主取付表面がダイ装着パッドからなる、請求項 15 の回路アセンブリ。

【請求項 23】 実質的に平行に向かい合った第一及び第二の表面と、その第一の表面に配置された少なくとも一つの電気接点を有し、その他方の表面において前記第一の素子の第一の表面により少なくとも部分的に支持されて設けられ、前記第一の素子の電気接点が露出されるよう配置された第二の素子をさらに含む、請求項 13 の回路アセンブリ。

【請求項 24】 実質的に平行に向かい合った第一及び

10

20

30

40

50

第二の表面を有し、前記主取付表面に設けられ、前記主取付表面と前記半導体チップの間に配置された第三の素子をさらに含む、請求項 1 5 の回路アセンブリ。

【請求項 2 5】 主取付表面及び複数の電気リードを有するキャリア部材と、

実質的に平行に向かい合った第一及び第二の表面と、前記第一の表面に配置された少なくとも一つの電気接点を有し、前記キャリア部材に対して設けられその第二の表面において前記主取付表面により少なくとも部分的に支持されている半導体チップと、

実質的に平行に向かい合った第一及び第二の表面と、これらの表面の一方に配置された少なくとも一つの電気接点を有し、その他方の表面において前記半導体チップの第一の表面により少なくとも部分的に支持されて設けられ、前記半導体チップの電気接点が露出されるよう配置された第一の素子からなる、回路アセンブリ。

【請求項 2 6】 第一及び第二の端部を有し、該第一の端部が前記半導体チップの電気接点に接続されている細い導線をさらに含む、請求項 2 5 の回路アセンブリ。

【請求項 2 7】 前記細い導線の前記第二の端部が前記複数の電気リードの一つに接続されている、請求項 2 6 の回路アセンブリ。

【請求項 2 8】 前記第一の素子の前記電気接点が前記第一の素子の前記第一の表面に配置され、前記細い導線の前記第二の端部が前記第一の素子の電気接点に接続されている、請求項 2 6 の回路アセンブリ。

【請求項 2 9】 前記第一の素子は前記第一の表面から前記第二の表面へと貫通して延びる孔を有して前記半導体チップの電気接点を露出する、請求項 2 5 の回路アセンブリ。

【請求項 3 0】 前記第一の素子の電気接点が前記第一の素子の前記第一の表面に配置され、回路アセンブリがさらに、

実質的に平行に向かい合った第一及び第二の表面と、その第一の表面に配置された少なくとも一つの電気接点を有し、その他方の表面において前記第一の素子の第一の表面により少なくとも部分的に支持されて設けられ、前記第一の素子の電気接点が露出されるよう配置された第二の素子を含む、請求項 2 5 の回路アセンブリ。

【請求項 3 1】 実質的に平行に向かい合った第一及び第二の表面を有し、前記キャリア部材に設けられ、前記主取付表面と前記半導体チップの間に配置された第三の素子をさらに含む、請求項 2 5 の回路アセンブリ。

【請求項 3 2】 回路アセンブリの製造方法であって、

(a) 実質的に平行に向かい合った第一及び第二の表面と前記第一の表面に配置された電気接点とを有する半導体チップを、主取付表面及び複数の電気リードを有するキャリア部材上に施与し、前記半導体チップをその第二の表面において前記主取付表面により少なくとも部分的に支持させ、

(b) 実質的に平行に向かい合った第一及び第二の表面と前記第一の表面に配置された電気接点とを有する第一の素子を、前記半導体チップの第一の表面上に施与し、前記第一の素子をその第二の表面において前記半導体チップにより少なくとも部分的に支持させ、前記第一の素子を前記半導体チップの電気接点が露出されるよう配置させることからなる方法。

【請求項 3 3】 第一の細い導線の第一の端部を前記電気接点の一つに接続する段階をさらに含む、請求項 3 2 の方法。

【請求項 3 4】 前記第一の細い導線の第二の端部を前記キャリア部材の電気リードの一つに接続する段階をさらに含む、請求項 3 3 の方法。

【請求項 3 5】 前記段階 (a) の実行前に、接着材料を前記キャリア部材の前記主取付表面に適用する段階をさらに含む、請求項 3 2 の方法。

【請求項 3 6】 前記段階 (b) の実行前に、接着材料を前記半導体チップの前記第一の表面に適用する段階をさらに含む、請求項 3 2 の方法。

【請求項 3 7】 前記第一の素子が半導体チップからなる、請求項 3 2 の方法。

【請求項 3 8】 前記第一の素子が基板相互接続媒体からなる、請求項 3 2 の方法。

【請求項 3 9】 実質的に平行に向かい合った第一及び第二の表面と前記第一の表面に配置された電気接点とを有する第二の素子を、前記第一の素子の前記第一の表面上に施与し、前記第二の素子を前記第二の表面において前記第一の素子により少なくとも部分的に支持させ、前記第二の素子を前記第一の素子の電気接点が露出されるよう配置する段階をさらに含む、請求項 3 2 の方法。

【請求項 4 0】 第二の細い導線の第一の端部を前記第二の素子の電気接点に接続する段階をさらに含む、請求項 3 9 の方法。

【請求項 4 1】 回路アセンブリの製造方法であって、実質的に平行に向かい合った第一及び第二の表面と前記第一の表面に配置された電気接点とを有する第一の素子を、実質的に平行に向かい合った第一及び第二の表面と前記第一の表面に配置された電気接点とを有する半導体チップの第一の表面上に施与し、前記第一の素子をその第二の表面において前記半導体チップの第一の表面により少なくとも部分的に支持させ、前記第一の素子を前記半導体チップの電気接点が露出されるよう配置させることからなる方法。

【請求項 4 2】 前記半導体チップ及び前記第一の素子を、主取付表面及び複数の電気リードを有するキャリア部材上に施与し、前記半導体チップをその第二の表面において前記主取付表面により少なくとも部分的に支持させる段階をさらに含む、請求項 4 1 の方法。

【請求項 4 3】 第一の細い導線の第一の端部を前記電気接点の一つに接続する段階をさらに含む、請求項 4 2

の方法。

【請求項44】 前記第一の細い導線の第二の端部を前記キャリア部材の電気リードの一つに接続する段階をさらに含む、請求項43の方法。

【請求項45】 接着材料を前記半導体チップと前記第一の素子の間に配置する段階をさらに含む、請求項41の方法。

【請求項46】 接着材料を前記キャリア部材の主取付表面と前記半導体チップの間に配置する段階をさらに含む、請求項42の方法。

【請求項47】 前記第一の素子が半導体チップからなる、請求項41の方法。

【請求項48】 前記第一の素子が基板相互接続媒体からなる、請求項41の方法。

【請求項49】 実質的に平行に向かい合った第一及び第二の表面と前記第一の表面に配置された電気接点とを有する第二の素子を、前記第一の素子の前記第一の表面上に施与し、前記第二の素子をその第二の表面において前記第一の素子により少なくとも部分的に支持させ、前記第二の素子を前記第一の素子の電気接点が露出されるように配置させる段階をさらに含む、請求項41の方法。

【請求項50】 第二の細い導線の第一の端部を前記第二の素子の電気接点に接続する段階をさらに含む、請求項49の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体パッケージング技術に関し、より詳しくは多数の半導体ダイス及び／又は基板を含む半導体パッケージに関するものである。

【0002】

【従来の技術】 超大規模集積回路(VLSI)半導体チップ(ダイ)は一般に、半導体パッケージ内に収容されている。通常は、一つの半導体パッケージはただ一つのチップを内蔵している。

【0003】 半導体パッケージには、三つの在来型式がある。一番目は成形プラスチックパッケージであり、プラスチック本体内に封入されたリードフレームを含んでいる。リードフレームとは、幾つかの電気リードと、チップが載置される主取付表面(又は着座平面)として利用されるダイ装着パッド(DAP)とを有する板金フレーム構造である。チップは直接にDAPに対して、又はDAPに取着された基板に対して結合される。電気リードは、成形プラスチックの内部からプラスチックの外側への電氣的伝送路をもたらす。幾つかの一般的な成形プラスチックパッケージのタイプには、プラスチックチップキャリア(PCC)、成形デュアルインラインパッケージ(MDIP)、プラスチッククアドフラットパック(PQFP)、スモールアウトライン(SO)、縮小スモールアウトラインパッケージ(SSOP)、トランジ

スタアウトラインパッケージ(TO)、極小アウトラインパッケージ(VSOP)及び薄小アウトラインパッケージ(TSOP)がある。

【0004】 半導体パッケージの第二の在来型式は、キャビティ(空洞)パッケージである。キャビティパッケージにおいては、チップが載置される主取付表面(又は着座平面)として用いられるキャビティの基部が、中空ハウジング内に含まれる。成形プラスチックパッケージとは異なり、キャビティパッケージ内のチップは空気により取り囲まれている。幾つかの電気リードが、ハウジングの内部からハウジングの外側への電氣的伝送路をもたらす。幾つかの一般的なキャビティパッケージのタイプには、セラミックパッケージ、金属キャン、プラスチックパッケージ及びこれらの何らかの組み合わせがある。

【0005】 半導体構成の三番目の在来型式は、チップオンボード(COB)アセンブリである。COBにおいては、チップは主取付表面(又は着座平面)として用いられる回路板又は基板に対して直接に結合される。このチップは通常、プラスチック材料で被覆されて保護される。プラスチック材料の内側からプラスチック材料の外側への電氣的伝送路をもたらすために、種々の異なるタイプの電気リードが使用される。

【0006】 これら三つの在来型式の半導体パッケージは、種々の異なる形状及び大きさを有するものであるが、それらの各々は、幾つかの電気リードとチップが載置される主取付表面(又は着座平面)を含んでなるものである。

【0007】 チップと電気リードとの間に電氣的接続を作成するために、先の三つの在来型式の各々において用いられている一般的な方法は、ワイヤボンディングである。ワイヤボンディングとは、個々の部品に対して溶着される細い導線によって、個別のパッケージにおいて部品相互間で電氣的な相互結線を作成する方法である。従って、細い導線は電気リードに接続された一端と、チップの電気接点に接続された他端を有する。ワイヤボンディングは、チップを相互接続するためのポピュラーな方法である。キャピラリ設計、ワイヤボンディング工程の制御、及び導線の特性の改良により、より微細なピッチでボンディングを行うことが可能になった。

【0008】 二つ又はより多くの半導体チップが電氣的に相互接続されて、単一の回路アセンブリがもたらされることがしばしばある。パッケージ当たりにチップを一つという枠組みの下では、二つ又はより多くのチップの相互接続には、同じだけの数のパッケージについて必要な十分な物理的空間が要求される。大きさ及び重量を低減させ、またデバイスの挙動を改善するために、二つ又はより多くのチップを単一のパッケージ内に組み合わせようとする幾つかの試みがなされてきた。高密度集積回路パッケージング産業においては、単一のパッケージ内

への二つ又はより多くのチップの組み合わせは、典型的にはマルチチップモジュール (MCM) 又はマルチチップパッケージ (MCP) と呼ばれている。マルチチップモジュール及びマルチチップパッケージという用語は僅かに異なる意味合いを有するが、ここでの議論の目的に關しては、それらは相互に互換的なものとして用いる。

【0009】最も一般的なMCMは、「横並び」MCMである。この形態においては、二つ又はより多くのチップは相互に隣接して (又は相互に横並びに)、成形プラスチックパッケージ、キャビティパッケージ又はCOB 10 アセンブリの何れかの主取付表面上に設けられる。チップは主取付表面に対して直接に設けることもできるし、或いはそれ自体が主取付表面に対して直接に設けられている基板材料上に設けることもできる。チップと電気リードとの間での相互接続は、一般にはワイヤボンディングを介して行われる。

【0010】しかしながら横並びMCMは、多くの欠点を有している。成形プラスチックパッケージ又はキャビティパッケージの内部においてチップを横並びにレイアウトすることは、パッケージの面積を最も最適に方法ではない。多くの場合に、チップはただ一つのチップ用に 20 予め設計された標準的な形状因子内にフィットしなければならないことから、かかる面積は非常に限られたものである。チップが適切にレイアウトされていなければ、かかる面積の制限によって、MCM中に組み込むことのできるチップの数は限定されることになる。さらにまた、最適化されていないチップのレイアウトは、これに対応して最適化されないワイヤボンディングをもたらすことになり、導線が交差し、導線の長さが長くなり、また導線と導線の分離が小さくなるといった結果を生ずる。導線が交差すると一つの導線が別の導線上に輪を描くことになり、非常に望ましくない。なぜなら成形条件によっては短絡が生ずる可能性があるからである。同様に、長い導線長及び小さな導線間隔は、高速のトランスファ形成又は高い樹脂粘度の下では、導線が押し流される危険を大きくする可能性がある。

【0011】

【発明が解決しようとする課題】MCMを構築するについての他の試みには、二つ又はより多くのチップを相互に積み重ね、次いでこのチップの「積層体」をパッケージ内に固定するものがある。現在入手可能な積層MCMは、ウェーハ全体を積み重ね、次いで積層されたウェーハを切断して積層チップとすることにより製造されている。従って、特定の積層体にある個々のチップの各々は、同じ大きさとなっている。

【0012】現在入手可能な積層MCMの一つの欠点は、それらが全てメモリデバイスであることである。技術的に異なるデバイスの混合は、積層形態においては現在入手可能でない。現在入手可能な積層MCMの別の欠点は、それらが固有の特別なパッケージを必要とする 50

ことである。さらにまた、チップの間で電氣的な相互接続を行うためには、複雑で費用の嵩む方法が用いられる。現在使用されている相互接続方法は、崩壊制御チップ接続 (Controlled Collapse Chip Connection; C4) 及びテープキャリア方式 (TAB) である。

【0013】「フリップチップ」としても知られている崩壊制御チップ接続 (C4) は、チップを表面を下に向けて接続することを可能にする、チップ表面上の多数のはんだバンプを用いることを含んでいる。利点としては、熱挙動、電気特性及び再加工作性の改善がある。他方、一般に認められている欠点としては、正確な位置合わせ、清掃及び検査の困難性、全ての接点について均一なはんだ接合高さを得ること、及び長期の熱サイクル寿命にわたって低い熱膨張係数を有する基板が必要とされることがある。さらにまた、C4を用いるためには、全てのはんだバンプ及び相互接続は、チップの積層の前及び最中に形成されねばならない。換言すれば、チップが積層された後には、相互接続を付加することは一切不可能になる。

【0014】テープキャリア方式 (TAB) とは、熱圧着ボンディングによって、ポリマーテープ上にパターン形成された金属にチップを接合する工程を指している。基板又はボードに対する続いての装着は、外側のリードを接着することによって実行される。テープキャリア方式 (TAB) は、MCMに対しては限定された用途しか有していなかった。TABは多くの利点を有しているが、注文製作のテープについての初期コストの高さ、ポリイミドテープの湿分敏感性、及び平坦性の問題を回避するために大きなチップについて単一個所ボンディングに切り換える必要性といったものが、これを広く用いるについての障壁となっている。

【0015】従って、現在入手可能なMCMの欠点を克服することのできる低コストMCMに対するニーズが存在している。

【0016】

【課題を解決するための手段】本発明は、実質的に平行に向かい合った第一及び第二の表面と、第一の表面上に設けられた少なくとも一つの電気接点を有する半導体チップを有する回路アセンブリを提供する。実質的に平行に向かい合った第一及び第二の表面と、これらの表面の一方に設けられた少なくとも一つの電気接点を有する第一の素子が半導体チップの第一の表面上に設けられ、且つその他方の表面でもって少なくとも部分的に支持されている。この第一の素子は、半導体チップの電気接点が露出されるように配置される。第一及び第二の端部を有する細い導線が、その第一の端部が半導体チップの電気接点又は第一の素子の電気接点の何れかにあるようにして接続される。

【0017】上記の回路アセンブリを製造するための方法は、主取付表面及び多数の電気リードを有するキャリ

ヤ部材の上に半導体チップを施与する段階を含む。半導体チップはその第二の表面において、主取付表面により少なくとも部分的に支持されねばならない。次いで第一の素子が、半導体チップの第一の表面上に施与される。この第一の素子はその第二の表面において半導体チップにより少なくとも部分的に支持されねばならず、また第一の素子は半導体チップの電気接点が露出されるように配置される。

【0018】本発明の特徴及び利点のより良い理解は、以下の本発明の詳細な説明と、本発明の原理が用いられている例示的実施例を示す添付図面を参照することにより得られる。

【0019】

【実施例】図1は、本発明によるマルチチップモジュール20の一実施例を示している。このモジュール20、即ち簡単に言えば回路アセンブリ20は、半導体チップ22上に「積み重ねられた」第一の素子24を含んでいる。この半導体チップは、実質的に平行に向かい合った第一及び第二の表面30及び28と、第一の表面30上に設けられた少なくとも一つの電気接点32を有している。第一の素子24もまた実質的に平行に向かい合った第一及び第二の表面36及び34を有し、少なくとも一つの電気接点38が第一又は第二の表面36又は34上に設けられている。図1に示した実施例では、電気接点38は第一の表面36上に設けられて示されている。

【0020】第一の素子24は、半導体チップ又は基板材料でありうる。第一の素子24が基板材料の場合には、それは相互接続媒体（後述）として用いられ得る。この基板材料はセラミック、金属、シリコン、或いはプラスチック回路板（PCB）材料であって構わないが、これらに限定されるものではない。利便性及び入手容易性の故に、多層セラミック（MLC）基板が極めてポピュラーである。金属基板は、靱性（MLCに比較して）、高強度、廉価、及び高熱伝導性といった他の利点をもたらす。銅-アンパー-銅、或いは銅-モリブデン-銅というように金属層を適切に組み合わせることにより、薄いポリマーフィルムと基板との間の熱的不整合は最小限にすることができる。幾つかの典型的なベースメタルとしては、アルミニウム、銅、銅/モリブデン、銅/タングステン、アンパー、及びコパールなどがある。銅はその高い熱伝導性の故に、傑出したベースメタルの一つであり、熱応力を最小にする傾向がある。シリコン基板は集積回路（IC）製造技術を容易に適用でき、能動及び受動デバイスを両方とも組み込める可能性があり、基板に装着される他のシリコンICと良好な熱的整合性を有し、誘電層がポリイミド又は SiO_2 という、両方ともIC製造において標準的な誘電体でよいといった利点を有している。他方、シリコン基板の主たる欠点は、それらが高価であり、大きさがウェーハ寸法に限定され、またシリコンは金属基板よりも熱伝導性が低いといった

ことである。

【0021】半導体チップ22はキャリア部材42上に設けられ、このキャリア部材42の主取付表面（又は着座平面）40により少なくとも部分的に支持される。

「キャリア部材42上に設けられ」という言い回しは、特定の素子（この場合にはチップ22）がキャリア部材42に対して直接に装着され、或いは特定の素子がキャリア部材42にそれ自体直接に装着されている何らかの他の構造又は構造の組み合わせ、例えば他の素子、素子の積層体又は接着剤に対して装着されていることを意味することを意図したものである。

【0022】キャリア部材42は一般には、二つ又はより多くの電気リード44及び46を含む。図1に示した実施例では、キャリア部材42はリードフレームであり、主取付表面40はリードフレーム42上のダイ装着パッド（DAP）である。電気リード44及び46は、リードフレーム42のリードである。リードフレーム42は、在来の成形プラスチックデュアルインラインパッケージ（DIP）26の成形組成物25内に收容されている。

【0023】本発明の一つの利点は、前述した三つの在来型式の半導体パッケージ、即ち成形プラスチックパッケージ、キャビティパッケージ、及びチップオンボード（COB）アセンブリの何れであっても、積層された素子24及びチップ22を收容するために用いることができるということである。さらにまた、主取付表面と電気リードを有する他の如何なるパッケージもまた、積層体を收容するために用いることができる。在来のパッケージを用いることはコストを低減させ、マルチチップモジュールを既存の電氣的システムにおいて即座に、システムの修正を殆ど又は全く伴わずに使用することを可能にする。従って、図1においてはDIPが示されているが、本発明の積層されたマルチチップモジュールは事実上如何なる半導体パッケージにも收容することができることが理解されねばならない。

【0024】半導体チップ22は、接着剤48によって主取付表面40に設けることもできる。この接着剤48は、エポキシ接着剤、軟質はんだ、或いはチップを基板に設けるために適当な他の何らかの接着剤である。接着剤48は、電氣的に伝導性でも非伝導性でもよい。伝導性は、糊剤中に取り込まれる充填材の種類によって調節される。例えば金属充填材は良好な電氣的及び熱的散逸をもたらすが、熱分解法シリカ又はダイヤモンドのような無機充填材は主として熱挙動を増大する。セラミックパッケージについて特に良好に作用する接着剤の例は、カリフォルニア州サンタアナのSlayslik社により製造されている部材番号11のSlayslikである。プラスチックパッケージ用に高い熱伝導性を有する窒化アルミニウムを含む接着剤の例は、部材番号282のSlayslikである。

【0025】第一の素子24もまた、キャリア部材42に対して設けられる。この第一の素子24は、それが第二の表面34において、チップ22の第一の表面30により少なくとも部分的に支持されるように設けられる。さらにまた、第一の素子24は、チップ22の電気接点32が露出され、それに対して電気的接続を行うべくアクセス可能なように配置される。図1に示された第一の素子24はチップ22によって完全に支持されているが、第二の素子がチップ22と共に第一の素子24を部分的に支持するような、本発明の他の実施例（後述）がある。

【0026】第一の素子24は、チップ22の第一の表面30に対して塗布された接着剤50と、第一の素子24の第二の表面34によって、キャリア部材42へと設けられる。接着剤50もまた、伝導性又は非伝導性の接着剤でよい。前述したSlayslik社の接着剤が、この場合にも特に良好である。

【0027】チップ22の電気接点32及び58と、第一の素子24の電気接点38及び54と、電気リード44及び46との間に電気的相互接続を作成するために、ワイヤボンディングが用いられる。ワイヤボンディングは積層体におけるチップ及びその他の素子の間で電気的な相互接続を作成するために用いられるのであるから、チップ及びその他の素子は、チップ及び／又は他の素子の何れかの電気接点の少なくとも一つが露出され、それに対して細い導線で接続を行うべくアクセス可能であるような仕方でも積み重ねられ、配置されねばならない。図1に示すように、第一の素子24はチップ24よりも小さく、従って第一の素子24がチップ22の中央に積み重ねられれば、チップ22の電気接点32及び58が露出される。しかしながら、第一の素子24はチップ22よりも小さくなければならない訳ではない。電気接点32又は58の少なくとも一つが露出され、それに対して細い導線で接続を行うべくアクセス可能であるような仕方でもって第一の素子24がチップ22上に配置されるならば、第一の素子24はチップ22と同じ大きさ、或いはより大きくあっても構わない。後述するように、チップ22の電気接点の少なくとも一つを露出する孔又はスロットを、第一の素子24を貫通して設けることさえできる。

【0028】ワイヤボンディング法を用いて作成される特定の相互接続は、マルチチップモジュール20が使用される特定の用途に依存して変化する。例えば、第一の素子24の電気接点38は、接点38をリード46へと直接に接続する細い導線52により、電気リード46と電気的に連結される。電気接点はまた、ワイヤボンディングを用いてリードへと間接的に連結されることもできる。例えば電気接点54は、接点54を接点58へと接続する細い導線56と、次いで接点58をリード44へと接続している別の細い導線60によって、リード44

へと連結され得る。

【0029】図2は相互接続媒体としての、即ち種々の長距離相互接続及び配線経路指定が行われる表面としての、第一の素子24の使用を図示している。ある素子が相互接続媒体として用いられる場合、それは前述した基板材料の一つから形成される。長距離相互接続の例は、電気接点62をリード64に連結するために電気的「ストリップ」接点68を用いることである。即ち、細い導線66が、接点62をストリップ接点68の一端に接続するために用いられている。別の細い導線70は、ストリップ接点68の他端をリード64に接続するために用いられている。かくして第一の素子24が相互接続媒体として用いられた場合、それは回路アセンブリ20の片側から他の側へと電気信号を伝送するために、プリント回路板に類似した長いストリップ接点を含み得るものである。この場合にも、形成される特定の相互接続は、マルチチップモジュール20が使用される特定の用途に依存して変化される。さらにまた、図2は第一の素子24を相互接続媒体として用いることを示しているが、第一の素子24は代替的に半導体チップであることも可能なことを理解すべきであり、その場合には一つのチップから他への同様の相互接続が形成される。

【0030】本発明の積層構造は、三次元的な拡張及びレイアウトが（横並びレイアウトに対して）MCMの密度を大きく増大可能であることを示している。同じ大きさの空間について、より多数のチップを積層MCMに収容することができ、これはMCMの挙動、出力、及び融通性を増大させることになる。ボンディングパッドが露出されアクセス可能となるように、チップ又は基板は積層順序に従って漸次より小さくなるようにすることができる。しかしながら、漸次小さくなる寸法取りは、前述したように必要な訳ではない。

【0031】三次元での利用を最適化するために、積層構造の異なるバリエーションを実施することができる。チップは相互に上に載置することができ、各々を他に対して、一番上のチップの形状に適合する非伝導性チップ装着又は熱可塑性テープの何れかにより取着することができる。一つの積層体中に含めることのできるチップの数は、セラミックパッケージ内のキャビティの高さ、又は成形プラスチックパッケージの厚みによって制限される。

【0032】基板をチップと共に積層して、チップの間での相互接続媒体及び配線経路指定手段をもたらし、長いワイヤボンディング長を排除することができる。別のチップの上に載置される基板は、チップ表面全体を覆う必要はない。それはまた、基板と横並びに配置された別のチップに対する配線経路指定のための中間手段として用いることもできる。

【0033】チップ又はチップ／基板組み合わせの適切なレイアウトを用いることにより、導線の交叉なしで、

また導線と導線の間の間隔を受容可能レベルとして、ワイヤボンディングを達成することができる。さらにまた、積み重ねられたチップは、標準的なアセンブリ仕様に合致するワイヤボンディング長を有する形態をもたらすことができる。短いワイヤボンディング長を維持することは、MCMの成形に際して導線が押し流される可能性を最小限のものとする。

【0034】図1及び2に示した本発明の実施例は、二つの素子、即ちチップ22とチップ又は基板24のみを有する積層MCMを図示している。しかしながら、積層可能な素子の数には制限はない。本発明は、積層体中の少なくとも一つの素子が少なくとも一つの他の素子をチップ上に有している半導体チップであり、また少なくとも一つの素子の少なくとも一つの電気接点露出してそれに対してワイヤボンディング接続を行うようアクセス可能とされる仕方で素子が積層されている、如何なる数の素子の積み重ねをも含むものである。積層体中の素子の幾つかは、少なくとも一つの素子の少なくとも一つの電気接点露出してそれに対してワイヤボンディング接続を行うようアクセス可能とされる仕方で素子が積層されることを条件として、崩壊制御チップ接続(C4)、即ち「フリップチップ」接続を用いて相互接続可能であることに注目すべきである。

【0035】図3は、三つの積層素子を有する本発明の別の実施例を図示している。マルチチップモジュール72は、キャリア部材82の主取付表面80に設けられた三つの素子74、76及び78を含んでいる。素子74、76及び78の各々は、平坦な向かい合った表面を有し、素子74又は76の少なくとも一方が半導体チップであることを条件として、半導体チップ又は基板材料の何れかである。第一の素子74は接着剤84により主取付表面80に設けられ、第二の素子76は接着剤86により第一の素子74に設けられ、第三の素子78は接着剤88により第二の素子76に設けられている。第三の素子78は第二の素子76により少なくとも部分的に支持されねばならず、第二の素子76は第一の素子74により少なくとも部分的に支持されねばならない。さらにまた、第二の素子76は、第一の素子74の電気接点94及び100が露出され、細い導線をそれに対して結線すべくアクセス可能なように配置されねばならない。同様に、第三の素子78は、第二の素子76の電気接点96及び102が露出され、細い導線をそれに対して結線すべくアクセス可能なように配置される。素子76及び78は大きさが漸次より小さくなっているが、下側の素子の電気接点の少なくとも一つが露出されるように素子が配置されるならば、このことは必要ではない。

【0036】接点94、96、98、100、102及び104の何れか又は全てを電気リード106及び108の一方又は双方に対して電氣的に連結するために、ワイヤボンディングが用いられる。図3に示すように、細

い導線110、112及び114が接点94、96及び98をリード108に連結しており、また細い導線116、118及び120が接点100、102及び104をリード106に連結している。

【0037】キャリア部材82は、前述した三つの在来型式の半導体パッケージの何れでもよい。例えば図4に示されたマルチチップモジュール122は、主取付表面134の片側においてのみ電気リード132を有するキャリア部材130上に設けられた三つの素子124、126及び128を含んでいる。図5に示したマルチチップモジュール144は、キャリア部材152上に設けられた三つの素子146、148及び150を含んでいる。キャリア部材152は、主取付表面154の下側に直接に設けられた電気リード(図示せず)を有する、セラミックパッケージ又は金属キャンの何れかである。図6は、キャリア部材166の主取付表面164上に設けられた三つの素子158、160及び162を有するマルチチップモジュール156の平面図である。キャリア部材166は、キャリア部材166四つの辺の全てに電気リード168を含む。

【0038】三つの素子の何らかの組み合わせは、一番上の素子が唯一のチップであるのでなければ、半導体チップ及び/又は基板材料であってよい。この場合にも、チップ又は基板、並びに作成される特定のワイヤボンディング相互接続の選択は、マルチチップモジュールが使用される特定の用途に依存している。図7はキャリア部材142上に設けられた三つの素子136、138及び140を有するマルチチップモジュール135を図示している。第一及び第三の素子136及び140は半導体チップであり、第二の素子138は基板材料である。

【0039】図8は、本発明によるマルチチップモジュール170の別の実施例を図示している。キャリア部材184の主取付表面182上には、四つの素子172、174、176及び178が設けられている。素子172、174、176及び178の各々は平坦な向かい合った表面を有し、素子172、174又は176の少なくとも一つがチップであることを条件として、半導体チップ又は基板材料の何れかである。第二及び第三の素子174及び176は両方とも、第一の素子172により支持されている。第四の素子178は第二の素子174により部分的に支持され、また第三の素子176により部分的に支持されている。さらにまた、素子174及び176は、素子172の電気接点の少なくとも一つがワイヤボンディングのために露出されるように配置されており、また素子178は素子174又は176の何れかの少なくとも一つの電気接点ワイヤボンディングのために露出されるように配置されている。素子172、174、176及び178の各々をキャリア部材184に対して設けるために、接着剤186、188及び190が用いられている。この場合にも、キャリア部材184

は在来型式の半導体パッケージの何れのタイプのキャリアでも構わない。図 9 は図 8 に示したのと基本的に同じ実施例を図示しているが、キャリア部材 1 9 2 がセラミックパッケージ又は金属キャンにおいて見いだされるタイプのものである点が異なっている。

【0040】図 10 は、本発明によるマルチチップモジュール 1 9 3 の別の実施例を図示している。キャリア部材 2 0 4 の主取付表面 2 0 2 上には、四つの素子 1 9 4、1 9 6、1 9 8 及び 2 0 0 が設けられている。素子 1 9 4、1 9 6、1 9 8 及び 2 0 0 の各々は、平坦な向かい合った表面を有している。素子 1 9 4 及び 1 9 8 は半導体チップであり、素子 1 9 6 及び 2 0 0 の各々は半導体チップ又は基板材料の何れかである。これら四つの素子 1 9 4、1 9 6、1 9 8 及び 2 0 0 は、二つの個別の積層体 2 0 6 及び 2 0 8 に配置されている。第一の積層体 2 0 6 は主取付表面 2 0 2 上に設けられた第一の素子 1 9 4 を含み、第二の素子 1 9 6 は第一の素子 1 9 4 により少なくとも部分的に支持されている。第二の積層体 2 0 8 は主取付表面 2 0 2 上に設けられた第三の素子 1 9 8 を含み、第四の素子 2 0 0 は第三の素子 1 9 8 により少なくとも部分的に支持されている。

【0041】図 11 は、本発明によるマルチチップモジュール 2 1 0 の別の実施例を図示している。三つの素子 2 1 2、2 1 4 及び 2 1 6 が、キャリア部材 2 2 0 の主取付表面 2 1 8 上に設けられている。素子 2 1 2、2 1 4 及び 2 1 6 の各々は平坦な向かい合った表面を有し、素子 2 1 4 又は 2 1 6 の少なくとも一方がチップであることを条件として、半導体チップ又は基板材料の何れであってもよい。第一の素子 2 1 2 は主取付表面 2 1 8 上に設けられ、第二の素子 2 1 4 は第一の素子 2 1 2 により少なくとも部分的に支持され、第三の素子 2 1 6 は第二の素子 2 1 4 により少なくとも部分的に支持されている。マルチチップモジュール 2 1 0 と上述した他の実施例との間の主な相違は、第二の素子 2 1 4 が、第一の表面 2 2 6 から第二の表面 2 2 8 へと第二の素子 2 1 4 を貫通して延びる孔（又はスロット）2 2 2 及び 2 2 4 を有していることである。

【0042】孔 2 2 2 及び 2 2 4 の目的は、細い導線の結線を行うために、素子 2 1 2 の電気接点 2 3 6 及び 2 4 2 を露出してアクセス可能にすることである。換言すれば、素子 2 1 4 は、電気接点 2 3 6 及び 2 4 2 が孔 2 2 2 及び 2 2 4 を介して露出され、アクセス可能となる仕方で配置されている。電気接点 2 3 6 及び 2 4 2 を露出するために孔 2 2 2 及び 2 2 4 を用いることにより、素子 2 1 4 が素子 2 1 2 よりも大きい場合でさえも、素子 2 1 6、2 1 4 及び 2 1 2 の間にワイヤボンディングによる相互接続を作成することが可能となる。例えば、細い導線 2 3 0 は電気接点 2 3 4 から孔 2 2 4 を通じて延伸し、電気接点 2 3 6 との接続を行う。別の例として、細い導線 2 3 8 は電気接点 2 4 0 から孔 2 2 2 を通

って延び、電気接点 2 4 2 との接続を行う。かくして、第二の素子 2 1 4 が第一の素子 2 1 2 よりも大きく、第二の素子 2 1 4 によって完全に覆われてしまう場合であっても、孔 2 2 2 及び 2 2 4 は第一の素子 2 1 2 と第三の素子 2 1 6 との間で細い導線を介して直接的な電氣的接続を行うことを可能にする。

【0043】第二の素子 2 1 4 が第一の素子 2 1 2 よりも大きくなる理由の一つは、第一の表面 2 2 6 が第一及び第二の素子 2 1 2 及び 2 1 4 の間で多くの相互接続を行うための大量の回路を収容することを可能にすることがある。通常、第二の素子 2 1 4 は相互接続媒体として用いるための基板材料である。しかしながら、第二の素子 2 1 4 は回路のない部分においてチップのある個所に孔を有する半導体チップであることもできる。

【0044】図 12 は、孔又はスロット 2 4 4 が平行に向かい合った表面を有する素子 2 4 6 を貫通して形成される一つの形態を図示している。この孔 2 4 4 は、所望とするどのような大きさ又は形状であってもよい。例えば、孔 2 4 4 は小さな円形孔、長い矩形孔、正方形孔その他でありうる。

【0045】図 13 は、第一の素子 2 4 8 と第三の素子 2 5 2 の間に挟み込まれた第二の素子 2 5 0 を示している。孔又はスロットを用いる代わりに、第二の素子 2 5 0 は切除部分 2 5 4 を有し、これは細い導線 2 5 6 が第三の素子 2 5 2 から第一の素子 2 4 8 へと延びることを可能にする。かくして、素子の何れか一つに設けられる切除部分は、孔又はスロットと同様の目的に役立つことになる。

【0046】図 14 は、キャリア部材 2 6 8 の主取付表面 2 6 6 上に設けられた三つの素子 2 6 0、2 6 2 及び 2 6 4 を有するマルチチップモジュール 2 5 8 を示している。第二の素子 2 6 2 は、孔 2 7 0 及び 2 7 2 を含んでいる。キャリア部材 2 6 8 は、セラミックパッケージ又は金属キャンについて見いだされる型式のものである。図 15 は、キャリア部材 2 8 4 の主取付表面 2 8 2 上に設けられた三つの素子 2 7 6、2 7 8 及び 2 8 0 を有するマルチチップモジュール 2 7 4 の平面図である。キャリア部材 2 8 4 は、主取付表面 2 8 2 の四つの辺の全てに電気リード 2 8 6 を有する型式のものである。第二の素子 2 7 8 は、それを貫通して延びる四つのスロット 2 8 8、2 9 0、2 9 2 及び 2 9 4 を含み、第一の素子 2 7 6 の電気接点が露出されている。これにより細い導線 2 9 6 が、スロット 2 9 2 を通って第三の素子 2 8 0 から第一の素子 2 7 6 へと延びることが可能になる。

【0047】図 1 に戻ると、マルチチップモジュール 2 0 を製造するための方法は、キャリア部材 4 2 の主取付表面 4 0 上に接着剤 4 8 又は軟質はんだを適用することから始まる。次いで半導体チップ 2 2 が、約（平方インチ当たり 8 - 10 ポンド（p s i））の圧力でもって、接着剤 4 8 上に施与される。

【0048】次の段階は、チップ22の第一の表面30上へと接着剤50即ちエポキシを適用することである。第一の素子24が次いで、約(3-5psi)の圧力をもって接着剤50上へと施与される。第一の素子24はチップ22により少なくとも部分的に支持されていなければならない、さらにまた、第一の素子24はチップ22の電気接点の少なくとも一つが露出され、それに対してワイヤボンディング結線を行うべくアクセス可能となるように配置されねばならない。第一の素子24は、半導体チップ又は基板材料でよい。

【0049】第二の素子が所望とされる場合には、第一の素子24の第一の表面36に対して接着剤又はエポキシが塗布され、第二の素子がこの第一の表面36上へと施与される。さらなる素子が所望とされる場合には、最後に施与された素子の表面上へと接着剤又はエポキシを塗布し、次いで別の素子をこの最後の素子上へと施与するという同一の工程が実行される。

【0050】所望とするだけの数の素子がキャリア部材42上に設けられた後、素子にある電気接点、例えば接点32、38、54及び58と、キャリア部材42上の電気リード、例えばリード44及び46が、ワイヤボンディングにより結線される。

【0051】ワイヤボンディングが完了した後、キャリア部材42は半導体パッケージ26内に封入される。この工程は通常、チップ22及び第一の素子24が成形組成物25で完全に覆われ、リード44及び46だけが露出されるようにして、成形組成物25をキャリア部材42の周りに形成することを包含している。半導体パッケージ26はDIPであるが、どのような在来半導体パッケージも使用可能であることが理解されねばならない。

【0052】マルチチップモジュール20を製造するための代替的な方法は、チップ22と第一の素子24の積層体を予めアセンブルしておくことから始まり、次いでこの予めアセンブルされた積層体は、キャリア部材42上に設けられる。換言すれば、それが二つ、三つ、四つ或いはその他幾つであろうと、所望とする数の素子が最初に積み重ねられ、接着剤で接合される。この積層体が次いで、主取付表面40上に設けられる。ワイヤボンディングによる相互接続が行われた後、この回路アセンブリは半導体パッケージ内に封入される。この代替的な方法は、個別のチップの各々がキャリア部材上に対して一回に一つ宛設けられるのではなしに、全てのチップがキャリア部材上に一回の工程で設けられるという利点を有している。

【0053】本発明の実施に当たっては、本明細書に記載した本発明の実施例の種々の設計変更を行い得ることが理解されねばならない。特許請求の範囲は本発明の範囲を画定することを意図するものであり、請求項の範囲内の構造及び方法、並びにそれらの均等物がそれによ

てカバーされるものである。

【0054】

【発明の効果】以上の如く本発明によれば、積層形態により得られるマルチチップモジュールが提供される。積層体中の素子は同一である必要はなく、従って従来のMCMのように全てがメモリデバイスである必要はない。また積層体中の素子の間で電気的な相互接続を行うために、複雑で費用の嵩む方法を用いる必要はなく、通常のワイヤボンディングで事足りる。また積層の後に相互接続を付加することも可能であり、現在入手可能なMCMの欠点を克服することのできる新規な低コストMCMが提供されるものである。

【図面の簡単な説明】

【図1】本発明によるマルチチップモジュールの断面図である。

【図2】図1のマルチチップモジュールの平面図である。

【図3】三つの素子を有する本発明によるマルチチップモジュールの実施例の断面図である。

【図4】三つの素子を有する本発明によるマルチチップモジュールの第一の別の実施例の断面図である。

【図5】三つの素子を有する本発明によるマルチチップモジュールの第二の別の実施例の断面図である。

【図6】三つの素子を有する本発明によるマルチチップモジュールの第三の別の実施例の平面図である。

【図7】三つの素子を有する本発明によるマルチチップモジュールの第四の別の実施例の断面図である。

【図8】四つの素子を有する本発明によるマルチチップモジュールの実施例の断面図である。

【図9】四つの素子を有する本発明によるマルチチップモジュールの第一の別の実施例の断面図である。

【図10】四つの素子を有する本発明によるマルチチップモジュールの第二の別の実施例の断面図である。

【図11】三つの素子を有し、素子の一つが少なくとも一つの貫通する孔又はスロットを有する、本発明によるマルチチップモジュールの実施例の断面図である。

【図12】貫通する孔又はスロットを有する素子の等測図である。

【図13】素子の一つが切除部分を有している三つの素子の等測図である。

【図14】三つの素子を有し、素子の一つが少なくとも一つの貫通する孔又はスロットを有する、本発明によるマルチチップモジュールの第一の別の実施例の断面図である。

【図15】三つの素子を有し、素子の一つが少なくとも一つの貫通する孔又はスロットを有する、本発明によるマルチチップモジュールの第二の別の実施例の平面図である。

【符号の説明】

20, 72, 122, 135, 144, 156, 17

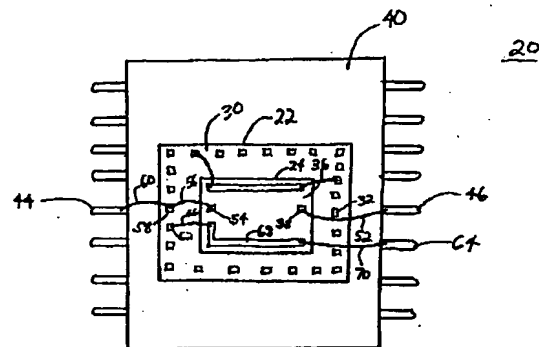
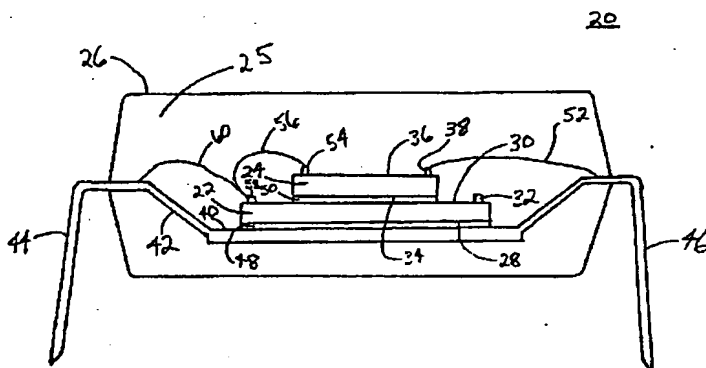
0, 193, 210, 258, 274 マルチチップモジュール
 22 半導体チップ
 24 第一の素子
 26 成形プラスチックデュアルインラインパッケージ(DIP)
 28 (半導体チップの) 第二の表面
 30 (半導体チップの) 第一の表面
 32 (半導体チップの) 電気接点
 34 (第一の素子の) 第二の表面
 36 (第一の素子の) 第一の表面
 38 (第一の素子の) 電気接点
 40, 80, 134, 154, 182, 202, 218, 266, 282 主取付表面(着座平面)
 42, 82, 130, 142, 152, 166, 184, 192, 204, 220, 268, 284 キャリヤ部材(リードフレーム)
 44, 46, 106, 108, 132, 168, 286

電気リード

52, 56, 60, 66, 70, 110, 112, 114, 116, 118, 120, 230, 232, 238, 256, 296 導線
 74, 124, 136, 146, 158, 172, 194, 212, 248, 276 第一の素子
 76, 126, 138, 148, 160, 174, 196, 214, 250, 278 第二の素子
 78, 128, 140, 150, 162, 176, 198, 216, 252, 280 第三の素子
 178, 200 第四の素子
 84, 86, 88, 136, 188, 190 接着剤
 94, 96, 98, 100, 102, 104, 236, 240, 242 電気接点
 226 (第二の素子の) 第一の表面
 228 (第二の素子の) 第二の表面
 222, 224, 244, 288, 290, 292, 294 孔(スロット) 254 切除部分

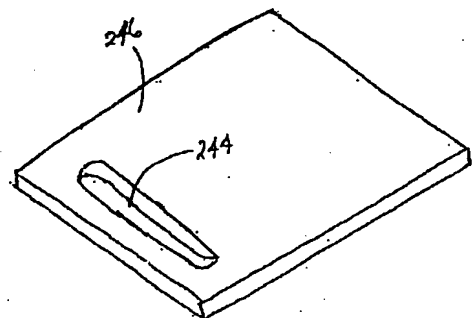
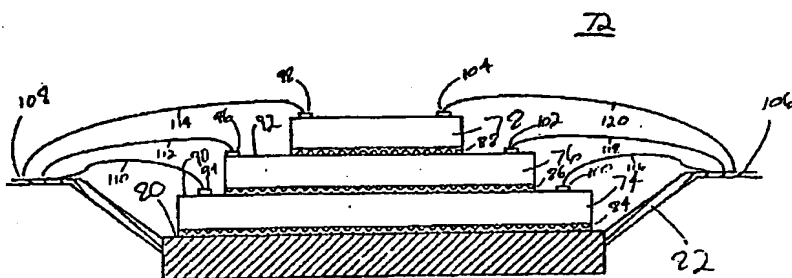
【図1】

【図2】

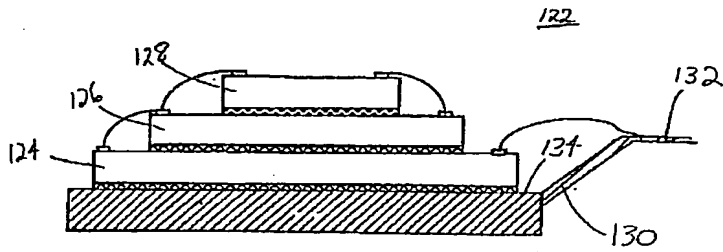


【図3】

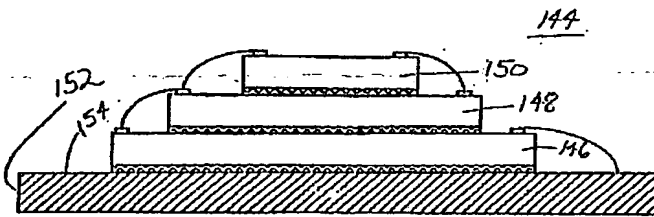
【図12】



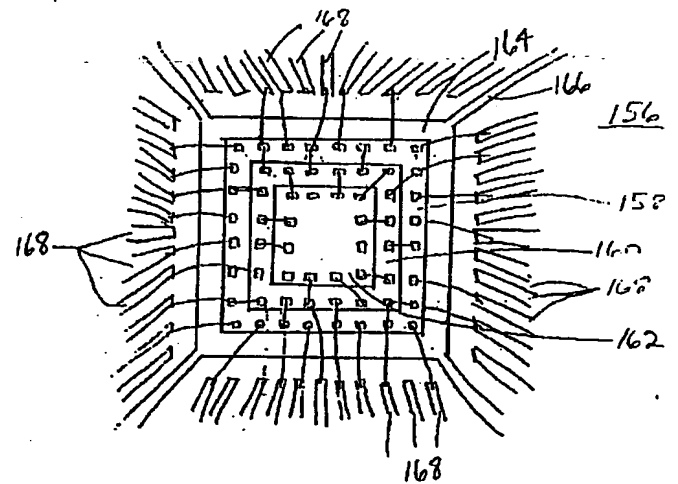
【図 4】



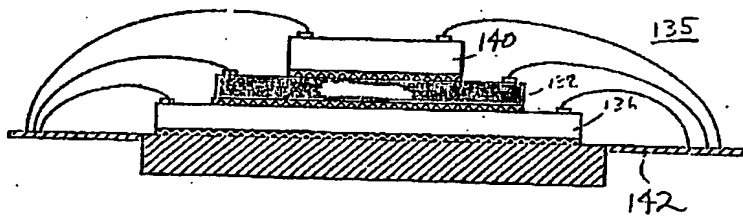
【図 5】



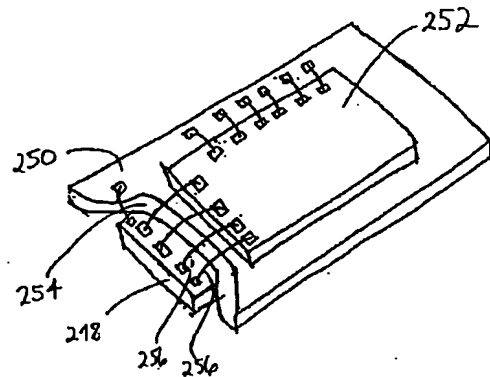
【図 6】



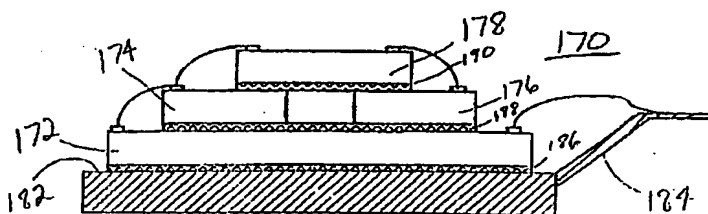
【図 7】



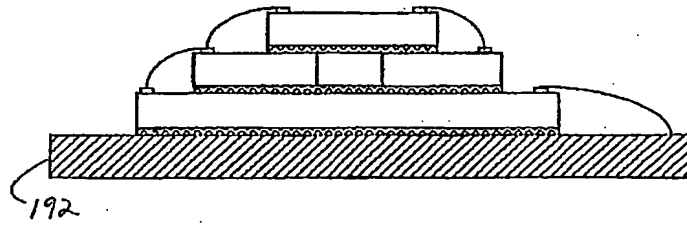
【図 13】



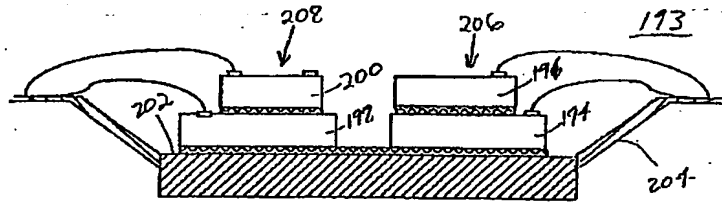
【図 8】



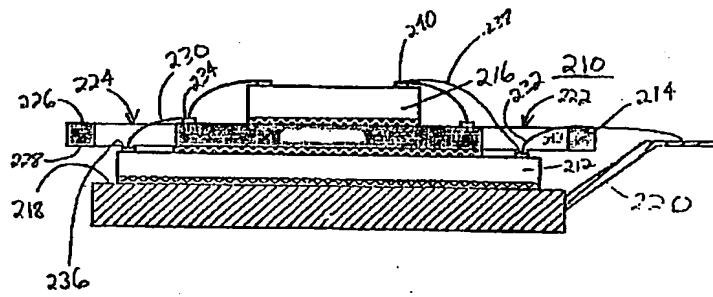
【図 9】



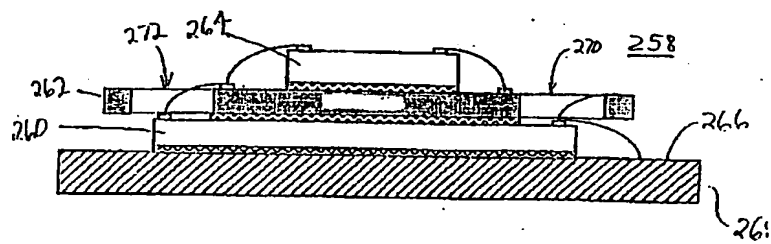
【図 10】



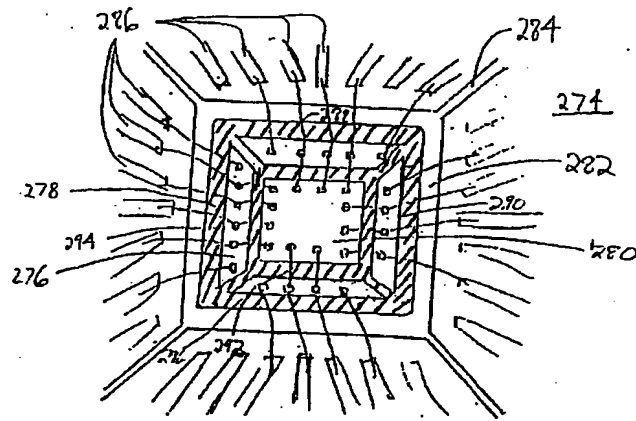
【図 11】



【図 14】



【図 15】



【手続補正書】

【提出日】平成 5 年 7 月 5 日

【手続補正 1】

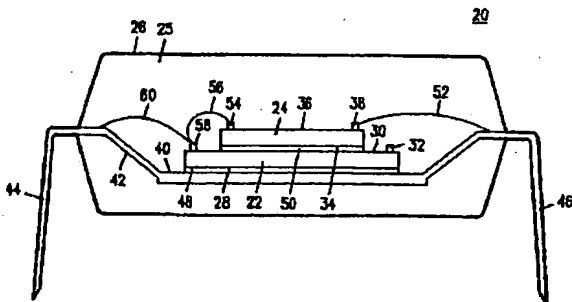
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

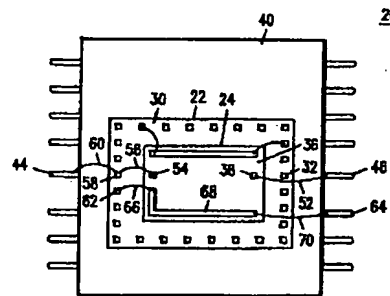
【補正内容】

【図 1】

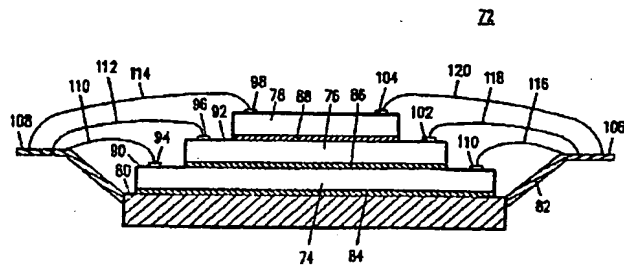


【図 3】

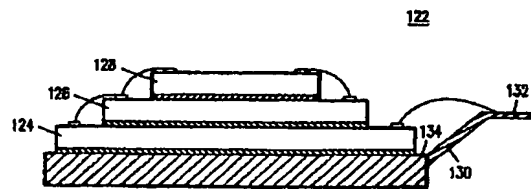
【図 2】



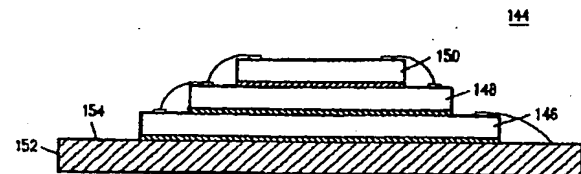
【図 4】



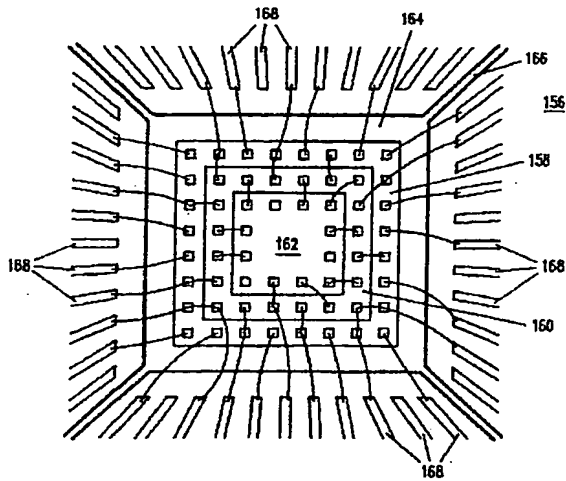
【図 3】



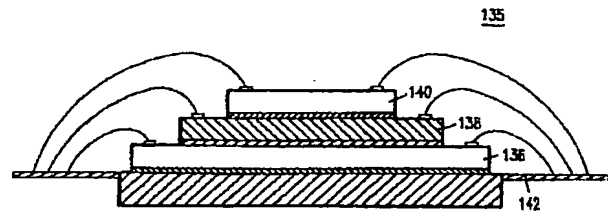
【図 5】



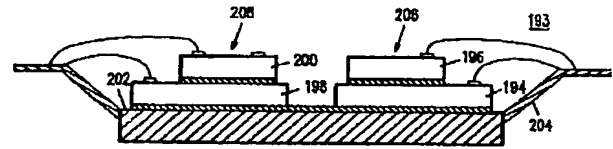
【図 6】



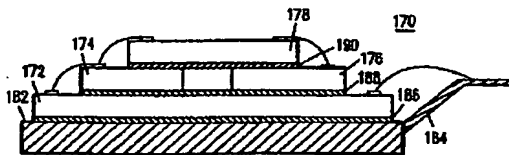
【図 7】



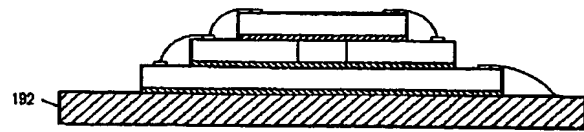
【図 10】



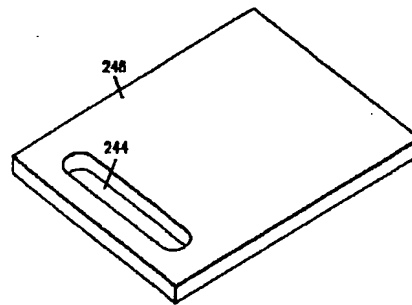
【図 8】



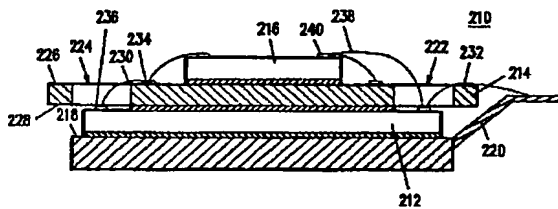
【図 9】



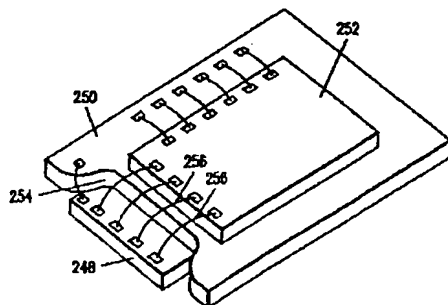
【図 12】



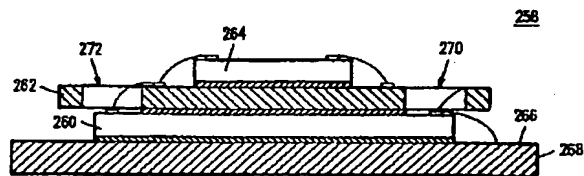
【図 11】



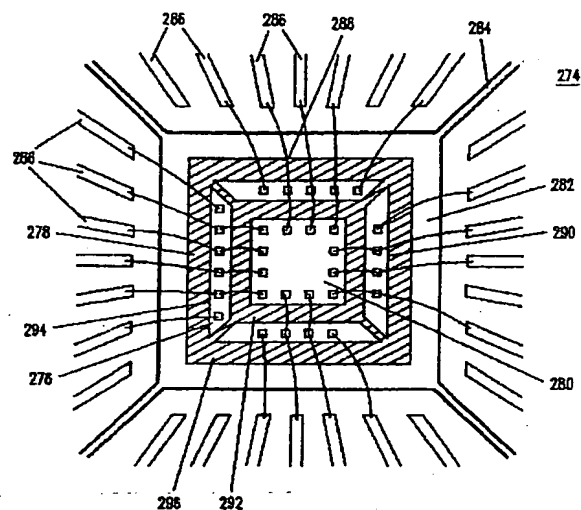
【図 13】



【図 14】



【図15】



フロントページの続き

(72)発明者 ペン・チェン・リン
 アメリカ合衆国カリフォルニア州95014ク
 パーティノ, ジャニス・アヴェニュー・
 22310

(72)発明者 ルー・ティ・ンギュイエン
 アメリカ合衆国カリフォルニア州95131サ
 ン・ホセ, プリアクリーク・コート・1298